



12. Shift регистр болон бааз логик хэлхээ ашиглан 4 бит өгөгдөл хадгалдаг, 4 үүртэй LIFO stack-ийн хэлхээ зохио. Стейк дүүрэн, стейк хоосон гэсэн төлвийн сигнал гаргадаг байна.
13. Цуваагаар ирсэн X тоон цуваанаас 1-с 0-рүү шилжсэн шилжилтийг танидаг системийн хэлхээг зохио. Жишээ нь:  $X = 1100101100011$   $OUT = 0010010010$ .
14. X гэсэн 1 оролт, Z гэсэн 1 гаралттай энэ систем ...010... гэсэн цувааг таниж гаралтандаа 1 гаргана. Харин ...100... гэсэн цувааг таниж гаралтаа цоожлоно. (Ө.х. гаралтыг 0-лэж, дахин 010 цуваа ирсэн ч төлвөө өөрчлөхгүй).

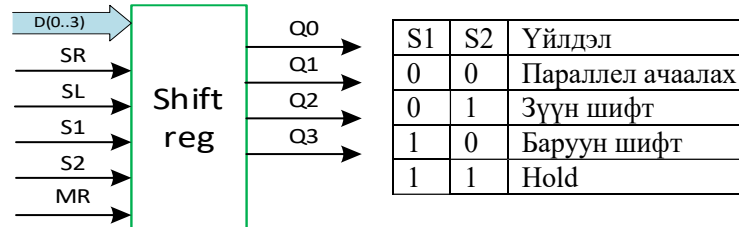
Жишээ нь:  $X=00101010010$   $Z=00010101000$   
 $X=11011010010$   $Z=00000001000$

Систем RESET удирдлагын сигнал ирэх үед л цоож нь тайлагддаг байна. FSR системийн хэлхээг зохионо.

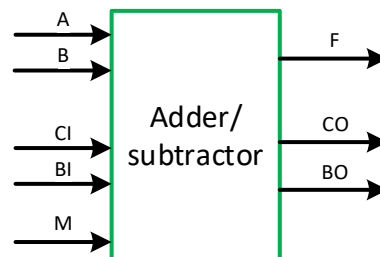
15. 2 битийн дээшээ тоолдог тоолуурыг зөвхөн D триггер болон туслах логик элемент ашиглан зохио. тоолуур нь clock-оос гадна 5 оролт, 3 гаралттай байна. Оролтондоо CLR (цэвэрлэх), LOAD (ачаалах), COUNT (тоолох) гэсэн удирдлагын 3 ба L1, L0 гэсэн ачаалах өгөгдлийн 2 порттой. Гаралтандаа Q1, Q0 өгөгдлийн 2 порт, RCO халилтын 1 порттой. CLR нь LOAD -с, LOAD нь COUNT-с тус тус давуу эрхтэй. CLR идэвхитэй үед тоолуур цэвэрлэгдэнэ. LOAD идэвхитэй (CLR идэвхигүй) үед L1, L2 портын утгыг триггерүүдэд ачаална. COUNT идэвхитэй (CLR болон LOAD идэвхигүй) үед тоолуур дээшээ тоолно. Тоолуурын утга 11-ээс 00 болоход RCO сигнал хэлбэржинэ.
16. 4 битийн цуваагаар орж ирэх 2 тооны нийлбэрийг олдог цуваа нийлбэрлэгчийн хэлхээг 1 битийн бүтэн нийлбэрлэгчийг ашиглан зохио.

17. Өгөгдөл цуваагаар шилжүүлэх үйлдэл (shifting process) нь

- баруун тийш эргүүлэх ROR
- зүүн тийш эргүүлэх ROL
- баруун тийш логикоор шилжүүлэх SLR
- зүүн тийш логикоор шилжүүлэх SLL
- баруун тийш арифметикаар шилжүүлэх SAR
- зүүн тийш арифметикаар шилжүүлэх SAL гэсэн 6 төрөл байдаг. Универсаль shift регистр ашиглан дээрх 6 төрлийн шилжүүлэлтийг хийдэг удирдлагатай схем зохио.

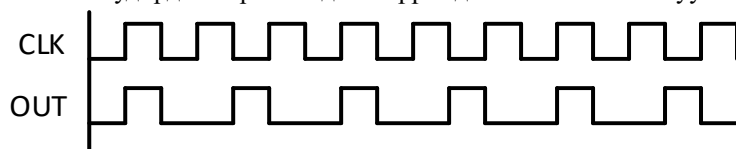


18. Харьцуулагч, мультиплексор, хоёртын нийлбэрлэгч/ялгаварлагчийн хэлхээ ашиглан 4 бит урттай тэмдэгтэй хоёр тооны нийлбэр олдог хэлхээ зохио. Нийлбэрлэгч хэлхээ орон халилтыг тооцдог байх ёстой.
19. N бит урттай 2 тооны нийлбэр, ялгаварыг олдог схем зохио. Нийлбэрлэгч/ялгаварлагчийн оролтын порт нь A, B өгөгдөл, CI(Carry In), BI(Borrow In), гаралтын порт нь F үр дүн, CO(Carry Out), BO(Borrow Out) байх ба удирдлагын M оролттой байна. M=0 үед хэлхээ нийлбэрийг бодох ба M=1 үед хэлхээ ялгаварыг бодно.



20. M удирдлагын сигналын төлвөөс хамаарч 4 бит хоёр тооны хоёртын эсвэл аравтын нийлбэрийг олдог хэлхээ зохио. M=0 бол хоёртын нийлбэрлэгч байна. M=1 бол аравтын нийлбэрлэгч байна.

21. CLK сигналын удирдлагаар OUT дохио үүсгэдэг хэлхээ зохионо уу.



22. X гэсэн цуваа дамжуулалтын шугамаар CLK сигналтайгаа синхроноор битүүдийг дамжуулахдаа 2 клок цикл бүрт 1 бит дамжуулдаг Манчестер код үүсгэгчийг холбосон бөгөөд энэ енкодерийн схемийг зохио. Үүнд: Код үүсгэгчээс гарсан бит бүрийг Манчестер кодын дагуу 2 клок цикл дараалан дамжуулах бөгөөд дарааллыг хүснэгтэнд үзүүлэв. Z- гаралт болно.

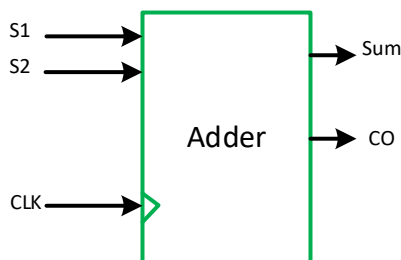
X	Z	
	1 <sup>st</sup> bit	2 <sup>nd</sup> bit
0	1	0
1	0	1

Жишээ нь:

CLK	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11
X	0	-	0	-	1	-	0	-	1	-	
Z		1	0	1	0	0	1	1	0	0	1

3-р клок дээр 0-ийг хүлээж аваад 4 ба 5-р клок сигналын үед Z рүү 0-ийг 1 ба 0 гэж дамжуулна.

23. Тухайн агшинд оролтон дээр ирсэн 4 битийн Грей кодын өмнөх Грей кодын утгыг гаргадаг Грей кодын үүсгүүр зохион бүтээ.
24. Тус бүр нь 4 битийн тоо оруулах 2 цуваа дамжуулалтын шугамтай цуваа нэмэгч байна. Синхрон нэг клок цикл бүрт нэг бит дамжуулах ба LSB бит нь түрүүлж дамжина. Ерөнхий схемийг доор зурагт үзүүлэв.



Sum гаралтанд 2 оролтонд өгсөн тоонуудын нийлбэрийг гаргана. Дүгнүүр нь тоо бүрийн 4 дэх битийн нийлбэрийг тодорхойлохдоо дүүргэлт болсныг гэрчилж CO гаралтыг идэвхижүүлнэ. Энэ нэмэгчийн схемийг зохиож, хугацааны диаграмыг зур.

25. Оролтондоо CLK клок сигнал хүлээж аваад гаралтандаа 3 үелсэн сигнал гаргадаг генераторын схем зохио. Үүнд, гаралтын 3 үелсэн сигнал нь ижил давтамжтай бөгөөд duty cycle нь 50%, мөн 3 гаралтын сигнал нь хоорондоо үеийнхээ 1/3-тэй тэнцүү харьцангуй фазын зөрөөтэй байна
26. Цуваа дамжуулалтын протокол нь дараах байдлаар өгөгдлөө дамжуулдаг бол дамжуулалтын явцад гарах нэг битийн алдаа илрүүлэх схемийг зохио. Үүнд:

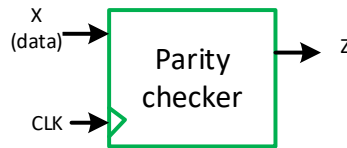
- 2 start bits (=1)
- 8 data bits
- 1 parity bit (parity odd)
- 1 stop bit (=0).

Цуваа дамжуулалтын шугамаар өгөгдөлийн битүүд нь клок сигналтайгаа синхрон дамжина. Нэг клок циклд нэг бит харгалзах ба 2 дараалсан байт нь 0-ээр тусгаарлагдана. Дамжуулалтын явцад алдаа гарвал ERR сигнал идэвхижих ба дараагийн дамжуулалтаас өмнө ERR сигналыг шалгана.

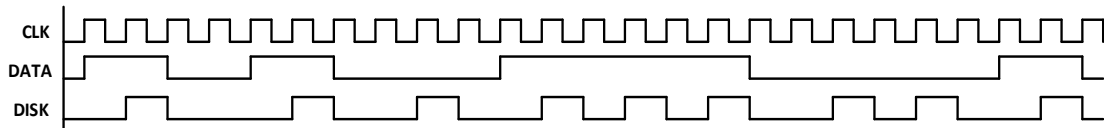
27. N битийн тоолуур нь M битийн оролтонд байх утгаар нэмэгдүүлж тоолдог бөгөөд  $M < N$  нөхцөлийг хангах тоолуурын схем болон хугацааны диаграмыг зур.
28. Доор өгөгдсөн нөхцөлөөр ажилладаг "1"-ийн тоолуурын схемийг зохио.  
Өгөгдөл: Оролтонд ирсэн 6 битийн 2-тын тоонд 1 гэсэн бит хэд байгааг тоолон 3 битийн утгаар илэрхийлж гаралт руу дамжуулна.  
Жишээ: Оролт-'010001' =>Гаралт - '010'  
Оролт-'010101' =>Гаралт - '011'
29. Доор өгөгдсөн нөхцөлөөр ажилладаг "0"-ийн тоолуурын схемийг зохио.  
Өгөгдөл: Оролтонд ирсэн 5 битийн 2-тын тоонд 0 бит хэд байгааг тоолон 3 битийн утгаар илэрхийлж гаралт руу дамжуулна.

Жишээ: Оролт–‘01001’ =>Гаралт – ‘011’      Оролт–‘10101’ =>Гаралт – ‘010’

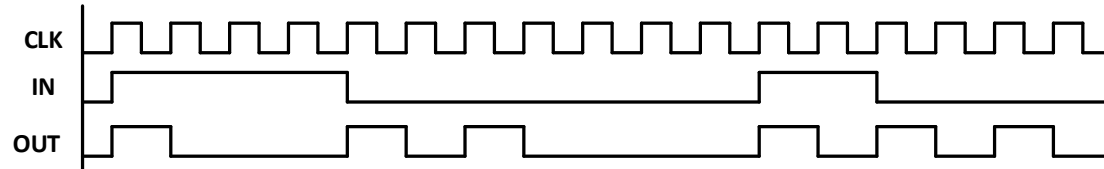
30. Оролтонд өгөгдөх 1 болон 0-ийн цувааг шалган, оролтонд 101 гэсэн дараалал орж ирэхэд гаралт нь 1 болох ба гаралт нь reset хийдэггүй дарааллын детекторыг бүтээ.
31. Хэрэв цуваа өгөгдөл дэх 1-ийн тоо сондгой бол гаралт  $Z = 1$ , харин тэгш бол гаралт өгөгдөл алдаатай өгөгдсөнийг илэрхийлж  $Z = 0$  болдог бол дараах тэгш, сондгойг илрүүлэгч (Parity checker)-ийг бүтээ.



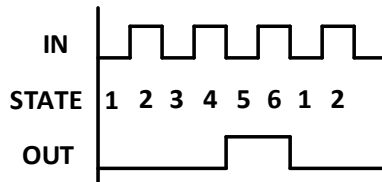
32. 0-ээс 7 хүртэл тоолдог асинхрон тоолуурыг энгийн RS триггер ашиглан зохио.
33. Дараах модуляци хийдэг синхрон төхөөрөмж зохио. Хэрвээ оролтонд 1 орж ирвэл гаралтанд 01-ийг, 0 орж ирвэл 10 эсвэл 00 гарна. оролтонд өгөгдөл нь 2 синхрончлох импульсийн турш өгөгдөнө.



34. Оролтонд өсөх фронт орж ирэхэд гаралтанд нэг импульс, буурах фронт орж ирэх болгонд 2 импульс гаргадаг синхрон төхөөрөмж зохио. Оролтын өөрчлөлтүүд нь синхрончлох импульсийн өсөх фронт дээр явагдана.

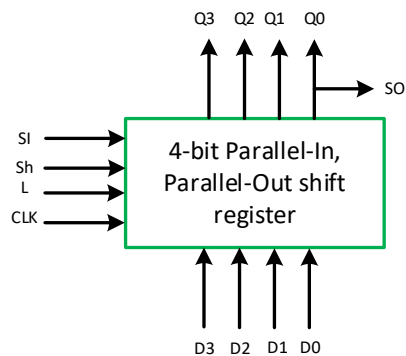


35. 1011010 дараалал өгөгдсөний дараа нэг синхрончлох импульсийн турш гаралтанд өндөр түвшин гаргах синхрон төхөөрөмж зохио. Дараалал давтагдаж болох ба дараалал давтагдахад дарааллыг таньдаг байх ёстой.
36. Өгөгдсөн дарааллын дагуу ажиллах асинхрон төхөөрөмжийг зохио. (Асинхрон синтез ашигла.)



37. А оролтоос хамааран X-Y эсвэл Y-X үйлдэл хийдэг төхөөрөмж зохио. A=1 бол X-Y үйлдэл хийдэг A=0 бол Y-X үйлдэл хийнэ.
38. Зурагт Баруун шилжүүлэгч регистрийг D триггерүүд болон 4 ширхэг 2 to 1 ийн мультифлексер, 1 ширхэг OR ашиглан зохио.

SI	Цуваа оролт
Sh	Шифт зөвшөөрөх оролт
L	Ачаалахыг зөвшөөрөх оролт
CLK	Клок дохио
Q3~0	Параллел гаралт
D3~0	Параллел оролт
SO	Цуваа гаралт



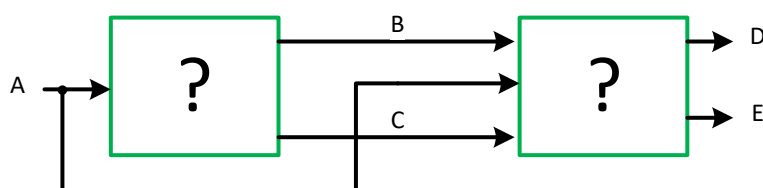
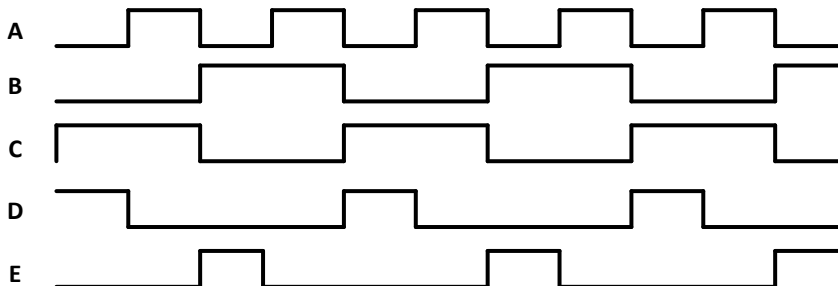
39. Дараахи үнэний хүснэгтийн дагуу ажиллах логик схемийг зохио, бодолт хий. у нь Y ийн өмнөх төлөв

X1	X2	Y
0	0	0

0	1	0
1	0	1
1	1	y

40. 1 ширхэг D триггер болон логик гейтүүд ашиглан JK триггер бүтээ.

41. Дараах хугацааны диаграммын дагуу ажиллах схем зохио.



42. BCD кодыг Excess-3 код руу хөрвүүлэх хөрвүүлэгчийн логик диаграммыг зохио.

43. Дөрвөн зураастай эсэргүүцлийн өнгийн код тайлж дэлгэц дээр дүрслэх схем зохио. Зураас бүрийн өнгийн дугаарыг оруулахдаа дараах зүйлсийг анхаарна.

a. Өнгийг төхөөрөмжид таниулахдаа товчийг харгалзах тоогоор дарж /тоолох маягаар/ оруулна.

b. 1 ба 2 –р зураасын бүх тоог / 0.....9/ авна.

c. 3 зураас буюу үржүүлэгчийн хувьд  $10^4$ -ээр тасалбар болгоно.

d. Харин нарийвчлалын зураасыг тооцохгүй байж болно.

	Өнгө	Тоо	Үржвэр	Нарийвчлал
■	Хар	0	$10^0$	$\pm 20\%$
■	Бор	1	$10^1$	$\pm 1\%$
■	Улаан	2	$10^2$	$\pm 2\%$
■	Улбар	3	$10^3$	
■	Шар	4	$10^4$	
■	Ногоон	5	$10^5$	$\pm 0.5\%$
■	Хөх	6	$10^6$	$\pm 0.25\%$
■	Ягаан	7	$10^7$	$\pm 0.1\%$
■	Саарал	8	$10^8$	
■	Цагаан	9	$10^9$	
■	Алтлаг		$10^{-1}$	$\pm 5\%$
■	Мөнгөлөг		$10^{-2}$	$\pm 10\%$

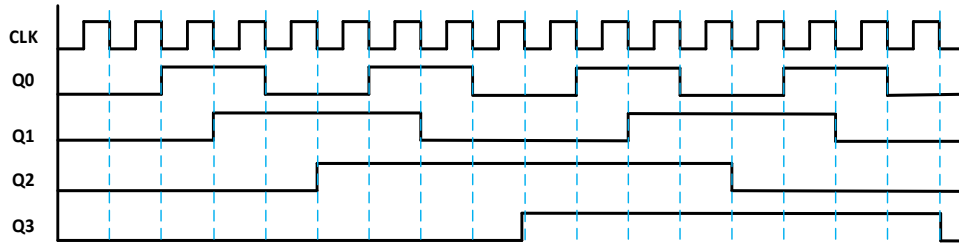
44. 2 бит R тооны куб-ийг BCD-ээр илэрхийлэх схем зохио.

45. Дараах төлвийн хүснэгт дэх төлвийг цөөлж багасгасан төлвийг зохиож, логик схемийг нь зур.

Present state	Next state		Output	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	C	D	0	0
C	A	D	0	0
D	E	F	0	1
E	A	F	0	1
F	G	F	0	1

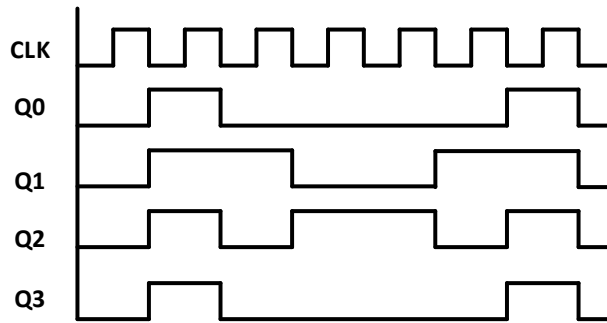
46. Синхрон BCD тоолуур JK триггер ашиглан зохио.

47. Зурагт үзүүлсэн хугацааны диаграммын дагуу ажиллах тоон автомат зохио.

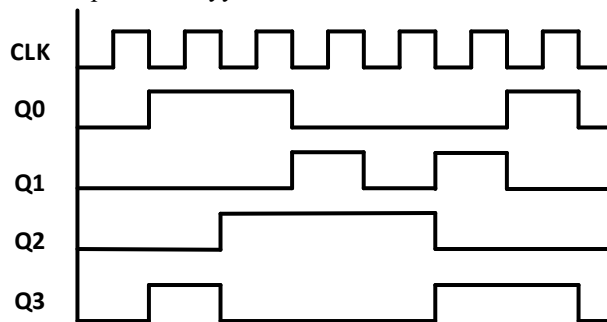


48. Хоёртын кодоос Gray код руу, Gray кодоос хоёртын код руу хувиргах схем зохио.

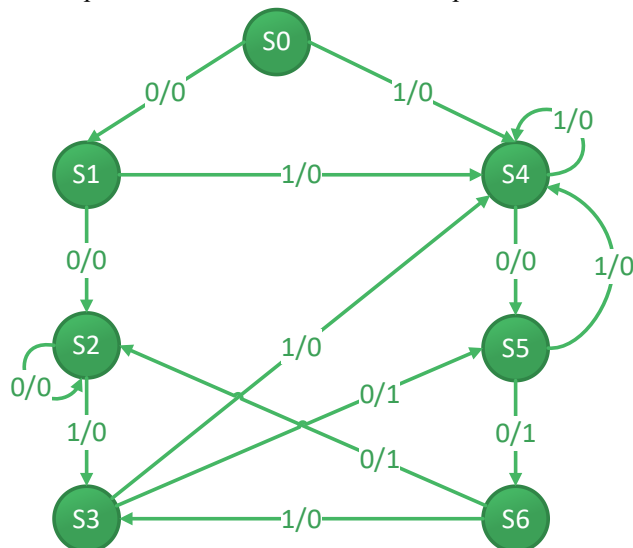
49. Зурагт үзүүлсэн хугацааны диаграммын дагуу ажиллах хэлхээ зохио.



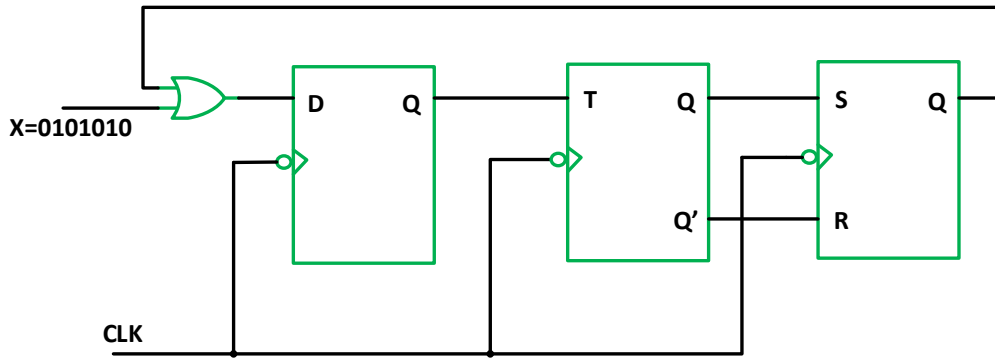
50. Зурагт үзүүлсэн хугацааны диаграммын дагуу ажиллах хэлхээ зохио.



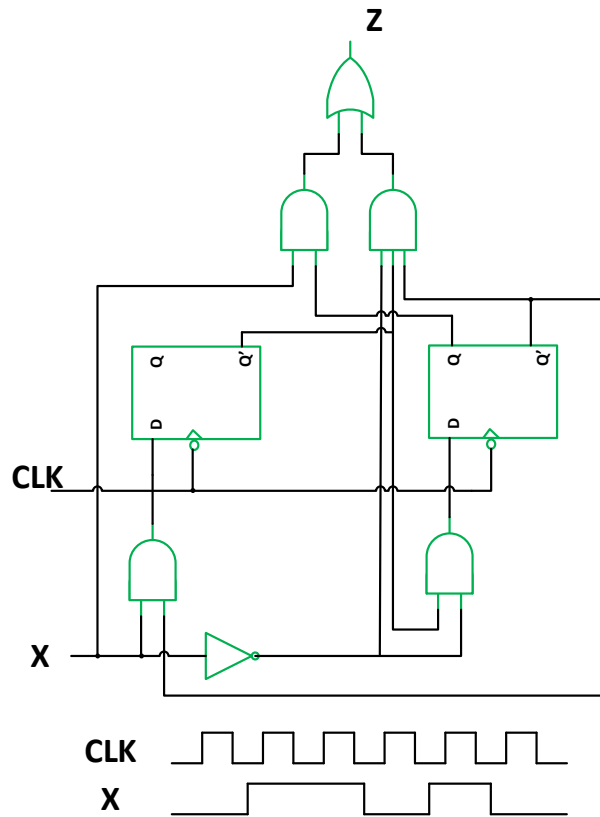
51. Зурагт үзүүлсэн төлвийн диаграммын төлвийн машиныг загварчил.



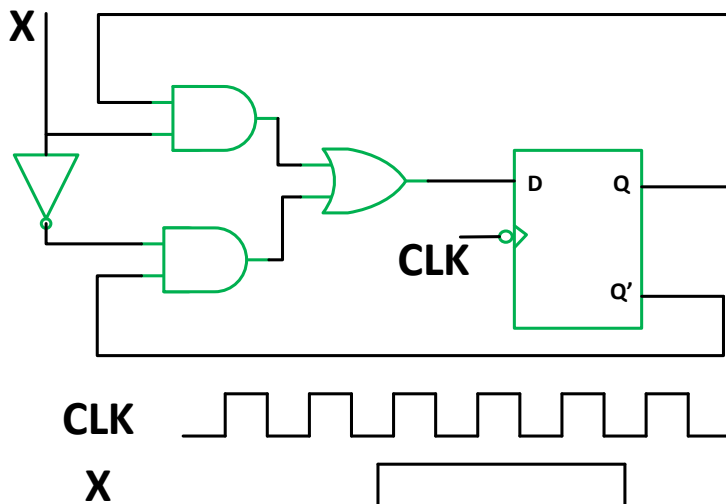
52. Бүх триггерийн анхны төлөв 0 байсан гэж үзээд бүх триггерийн гаралтын хугацааны диаграммыг зур.



53. Триггерийн анхны төлөв 0 гэж үзээд гаралтын хугацааны диаграммыг зур.



54. Гаралтын хугацааны диаграммыг зур. Триггерийн анхны төлөв 0 гэж үзнэ.



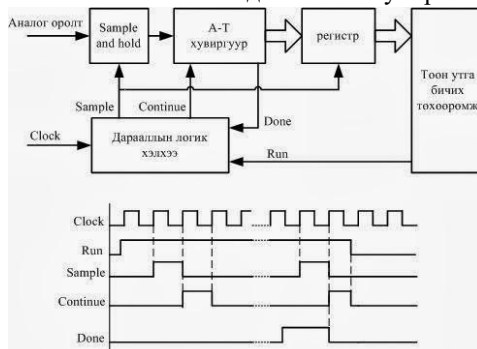
55. Төлвийн хүснэгтээс ажиглаад утгуудыг гүйцээж бич.

X 1 0 1 1 0 0 0 1  
 $q_1$  0 . . . . .  
 $q_2$  0 . . . . .  
z . . . . .

$q_1 q_2$	$q_1^* q_2^*$		z	
	x=0	x=1	x=0	x=1
00	01	00	0	1
01	10	11	0	0
10	00	00	1	1
11	01	01	1	0

56. Тус бүр 1 ширхэг 74393, 7400 болон 1 секундын давтамжтай блок үүсгүүр ашиглан BCD тоогоор 0-59 хүртэл тоолдог логик схем зохио.
57. Зураг-1 өгөгдсөн систем нь ойролцоолон дөхөх аналог тоон хувиргагчийн схем юм. Энэ систем нь 4-н сигналаас хамааран удирдагдах бөгөөд энэхүү системийг ажиллуулах дарааллын логик хэлхээг Зураг 2-т өгөгдсөн хугацааны диаграммыг ашиглан зохио.

Энэхүү аналог-тоон хувиргагч нь SAMPLE, CONVERT гэсэн 2 оролттой, DONE ба RUN гэсэн хоёр гаралтай систем юм. SAMPLE (S) сигнал нь хэрэв 1-тэй тэнцүү байвал sample and hold төхөөрөмж аналог оролтыг шууд дамжуулах ба 0-той тэнцүү болсон бол 1-аас 0 болсон үеийн аналог утгыг гаргана. Мөн энэ сигнал хувиргагч бэлэн болсон тохиолдолд утгыг Тоон утга бичих төхөөрөмжид гаргах үйлдлийг гүйцэтгэнэ. CONVERT (C) сигнал 0-оос 1 болох үед А-Т хувиргагч хувиргалтыг хийж эхэлнэ. Хувиргагчийн гаралтын DONE (D) сигнал нь хувиргалт бэлэн болсныг 0-оос 1 болон мэдэгдэх бөгөөд CONVERT сигнал 1 болсон тохиолдолд буцаад 0 болно. RUN (R) сигнал нь Тоон утга бичих төхөөрөмжийн ажиллах боломжтой эсэхийг мэдэх сигнал юм. Хэрэв энэ сигнал 1 болон өөрчлөгдвөл заавал хувиргалтыг эхлэх ёстой бөгөөд 0 болвол хувиргалтыг зогсоох ёстой.



58.  $F = yz + \bar{v}wx\bar{y}z + \bar{v}\bar{w}\bar{x}\bar{y}z + vw\bar{y}z + \bar{w}x\bar{y}z + w\bar{x}\bar{y}z$  илэрхийлэлд харгалзах үйлдэл хийдэг тоон системийн дизайныг 4to1MUX 3н ширхэг, NOT gate 1ширхэг ашиглан зохио. Энд w, x, y, z-ууд нь сонгох оролтууд болно.
59. Дараах хүснэгтэнд харгалзах үйлдэл хийдэг регистрийг 4 мультиплексер болон 4 D флип-флоп ашиглан зохио.

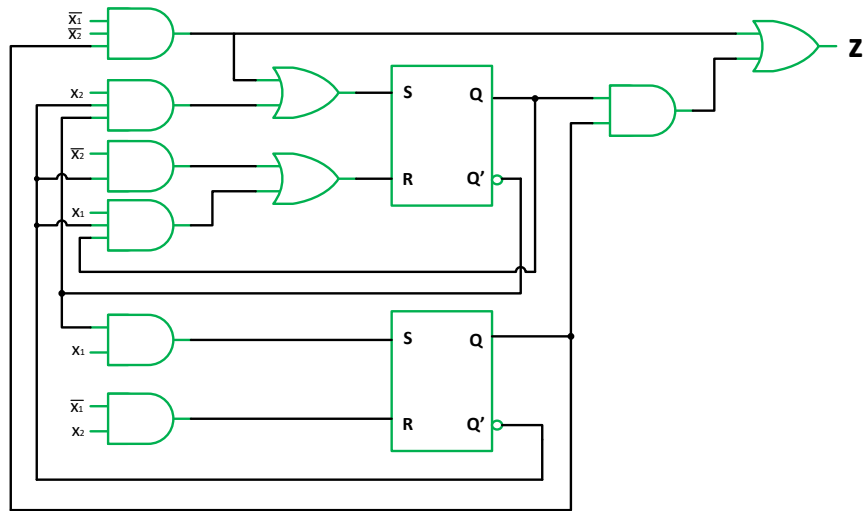
$S_1$	$S_0$	Үйлдэл
0	0	Hold
0	1	Синхрон clear
1	0	Комплемент
1	1	Баруун шифт

60. Дараах төлвийн хүснэгтийг ажиглан төлвүүдийг цөөл.

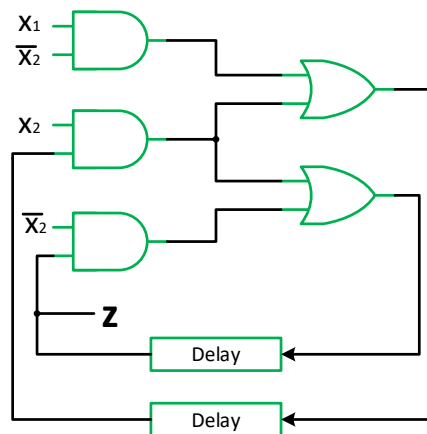
Одоогийн төлөв	Дараагийн төлөв		Гаралт(z)	
	Оролт(x)		Оролт(x)	
	0	1	0	1
A	B	C	0	0
B	D	E	0	0
C	F	G	0	0
D	H	I	0	0
E	J	K	0	0
F	L	M	0	0
G	N	O	0	0

Н	Н	И	0	0
И	Ж	К	0	0
Ж	Л	М	0	0
К	Н	О	1	0
Л	Н	И	0	1
М	Ж	К	0	0
Н	Л	М	0	0
О	Н	О	0	0

61. Асинхрон цуваа хэлхээ дараах шаардлагын дагуу ажиллах бол асинхрон хэлхээний Primitive flow table, minimal row flow table –ийг зохио. Асинхрон хэлхээний шаардлага : а) Хэлхээ нь  $X_1, X_2$  гэсэн оролт ба  $Y_1, Y_2$  гэсэн гаралттай. б)  $X_1, X_2$  оролтын утга хугацааны нэг агшинд зэрэг солигдохгүй. в) Гаралтын утга  $X_1$  эсвэл  $X_2$  оролтын утга хэдэн удаа өөрчилөгдсөнийг заах ба  $X_1$  эсвэл  $X_2$  оролтын утга 4 дэх удаагаа өөрчилөгдөхөд 0 болох буюу reset хийгдэнэ. Ингээд хэлхээ анхны төлөвт орох буюу  $X_1X_2 = 00, Y_1Y_2 = 00$  болно.
62. Дараахь асинхрон хэлхээнд анализ хийж excitation/transition table, state table, flow table, flow diagram –ийг байгуул. Хэлхээ үндсэн горим(fundamental mode) –д ажиллах ба тухайн нэг хугацаанд зөвхөн нэг оролт өөрчилөгдөнө гэж үзнэ.



63. Дараахь асинхрон хэлхээнд анализ хийж excitation/transition table, state table, flow table, flow diagram –ийг байгуул. Хэлхээ үндсэн горим(fundamental mode) –д ажиллах ба тухайн нэг хугацаанд зөвхөн нэг оролт өөрчилөгдөнө гэж үзнэ.



64. Дараахь функцийг гүйцэтгэж чадах схемийг зөвхөн  $4 \times 1$  мультиплекср ашиглан хий.  $F(w,x,y,z) = \sum m(2,5,6,7,9,12,13,15)$
65. Дараахь зурагт 2 -тын гүйцээлт олдог тоон системийн дизайныг үзүүлэв. Энэ систем нь 8 бит шифт регистр, хоёртын тоолуур, детектор, удирдлагын хэсэг(controller) –ээс тогтоно. Удирдлагын хэсгийн

эхлэх дохио  $S=1$  болоход шифт регистрт 8 бит өгөгдлийг ачаалаж, тоолуурын утга 0 болох ба 2 тын гүйцээлтийг олоход бэлэн болно. SR shift register right дохио идэвхтэй үед шифт регистр баруун тийш шифт хийгдэнэ. Q1 –ийн утга гэдрэг холбоогоор удирдлагын хэсэгээр дамжин шифт регистрийн ахлах MSB оролтонд холбогдоно. Хоёртын гүйцээлтийг тоолуурын утга 7 той тэнцүү болсон үед олдсон гэж үзнэ. Удирдлагын хэсэг (controller) –ийн схемийг зур.

Удирдлагын дохионуудын үүрэг :

$S = 1$  Эхлэх дохио ба clock –оор синхрончилогдоно.

Load = 1 Шифт регистрт өгөгдөл параллел ачаалагдана.

RST = 1 Тоолуурын утгыг тэглэнэ.

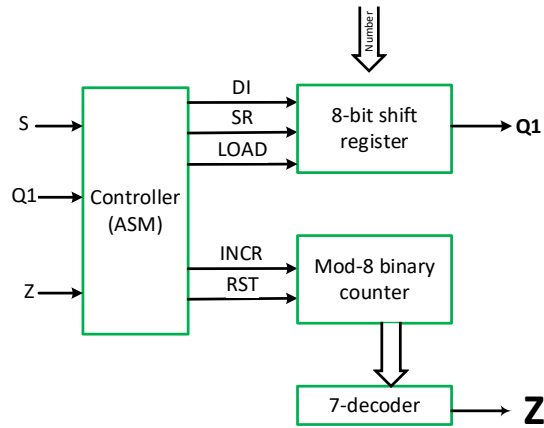
Q1 Шифт регистрийн хамгийн бага (LSB) бит

SR = 1 Shift register right буюу шифт регистр баруун тийш шифт хийгдэнэ.

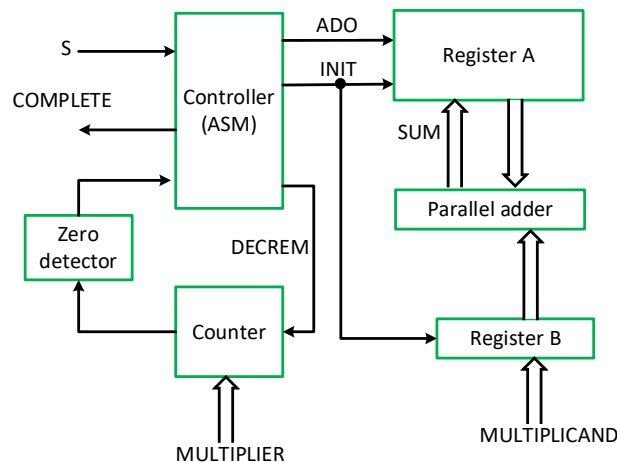
INCR = 1 Тоолуурын утгыг 1 –ээр нэмэгдүүлнэ.

DI Шифт регистрийн ахлах (MSB) битэд холбогдоно.

Z = 1 Тоолуурын утга 7 гэдгийг заана.



66. Тоолуур, параллел нэмэгч, 2 регистрээс тогтсон үржүүлэгчийн дизайн өгөгдөв. А регистр үржвэр (product)-ийг хадгалах учраас В регистрээс 2 дахин урт байх ёстой. В регистр үржигдэхүүн (multiplicand) -ийг хадгална. Эхлэх дохио S ирэхэд удирдлагын (controller) гаралтын дохио INIT=1 болно. INIT=1 болоход А регистр цэвэрлэгдэж, үржвэр (multiplier) тоолуурт ачаалагдах ба multiplicand нь В регистрт ачаалагдана. ADD=1 болоход multiplicand –ийн утга А регистрийн утга дээр нэмэгдэнэ. DECREM=1 болоход тоолуурын утга 1-ээр хорогдоно. Тоолуурын утга хорогдсоор 0 болоход үржих үйлдэл дуусна. Үржих үйлдэл дууссан үед удирдлагын хэсэг COMPLETE дохиог 1 клок циклийн турш 1 түвшинтэй байлгаад буцааж 0 болгон анхны төлөвт шилжинэ. Удирдлагын хэсэг (controller) –ийн схемийг зур.

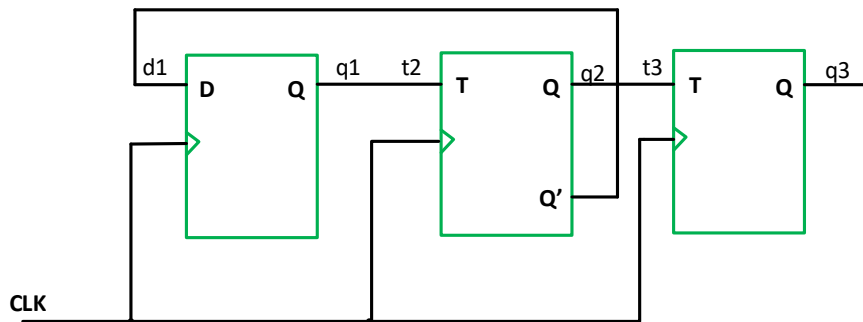


67. 5x32 декодерийг 4 ширхэг 3x8 декодер (Enable оролттой) болон нэг 2x4 декодер ашиглан зохио.  
 68. Gray кодоор дээрээс доош нь тоолдог асинхрон 4 битийн тоолуурын дизайныг хийж гүйцэтгэ.  
 69. 4 битийн 2-тын үржүүлэгчийг Shift and Add алгоритмыг ашигласан тоон системийн дизайныг хийж гүйцэтгэ.

70. 4 битийн Excess-3 кодоос 4 битийн Gray код руу хөрвүүлэгчийн схемийг PLA хэрэглэн гүйцэтгэ.
71. Fibonacci-ийн цувааны эхний 15 цифрийг гаргадаг тоон систем зохио. Хэрэв start дохио ирсэн үед эхний 5 цувааг гарган систем зогсоно. Эхний 5 цуваа гарсаны дараа continue дохио ирвэл 2 дахь 5 цувааг гаргаад зогсоно. 1 дэх 5 цуваа гарсны дараа reset сигнал ирвэл систем анхны байдалд орох ба start дохио ирвэл ямар ч үйлдэл хийгдэхгүй. 2 дахь 5 цувааг гаргасны дараа start болон continue аль ч ирсэн 3 дахь 5 цувааг гаргах ба reset ирвэл анхны төлөвт шилжинэ. 3 дахь 5 цуваа гарсны дараа start, continue, reset-ийн аль ч ирсэн анхны төлөвт шилжинэ.
72. Дараах төлвийн хүснэгт дахь төлвийн тоог цөөлж багасгасан төлвийн хүснэгт зохио.

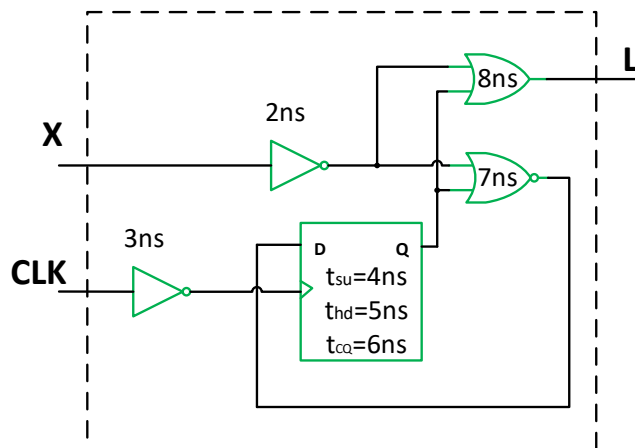
Одоогийн төлөв	Дараагийн төлөв		Гаралт	
	X=0	X=1	X=0	X=1
A	F	B	0	0
B	D	C	0	0
C	F	E	0	0
D	G	A	1	0
E	D	C	0	0
F	F	B	1	1
G	G	H	0	1
H	G	A	1	0

73. Өрөөнд хэдэн хүн байгааг олдог тоон системийг хийж гүйцэтгэнэ. Өрөө 2 хаалгатай ба хаалга бүр дээр мэдрэгч тавьсан байна. Хүн өрөөнд зөвхөн 1-р хаалгаар орж ирэх ба зөвхөн 2-р хаалгаар гарна. 2 хаалган дээрх мэдрэгчүүд хүн орж ирэх ба гарахад 1-ээс 0 шилжсэн дохиог систем рүү илгээнэ. Энэ дизайны өгөдлийн хэсэг (Datapath) up-down тоолуур болон хүний тоог илтгэх дэлгэцээс тогтсон бол энэхүү дизайныг хийж гүйцэтгэ.
74. A, B, C гэсэн 4 битийн 3 регистрээс тогтсон тоон систем өгөгдөв. Start дохио ирэхэд A, B регистрт хоёртын утгуудыг ачаална.  
Хэрэв  $A < B$  бол A регистрийн утгыг зүүн тийш 1 удаа шилжүүлэн C регистрт хадгална.  
Хэрэв  $A > B$  бол B регистрийн утгыг баруун тийш 1 удаа шилжүүлэн C регистрт хадгална.  
Хэрэв  $A = B$  бол C регистрийн утга өөрчлөгдөхгүй. Дээрх үйлдлийн дагуу ажилладаг тоон системийг хийж гүйцэтгэ.
75. A гэсэн 4 битийн нэг тоолуур, E болон F гэсэн 2 flip-flop -оос тогтсон тоон систем өгөгдөв. 4 битийн A тоолуур нь A4, A3, A2, A1 гэсэн 4 ширхэг flip-flop-оос тогтох ба A4 flip-flop нь хамгийн ахлах бит буюу MSB-г илэрхийлнэ. Start дохио ирсэнээр системийн ажиллагаа эхлэх ба A тоолуур ба F flip-flop-ийг цэвэрлэнэ (clear хийгдэнэ.). Үүний дараагаар Clock pulse болгонд тоолуурын утга нэгээр нэмэгдэх ба зогсох үйлдэл хүртэл үргэлжилнэ. Тоолуурын ахлах битүүд болох A3 болон A4-ийн утгаас хамаарч систем дараах байдлаар ажиллана.  
Хэрэв  $A3 = 0$  бол E flip-flop-ийн утга 0 болох ба тоолуур үргэлжлүүлэн тоолно.  
Хэрэв  $A3 = 1$  бол E flip-flop-ийн утга 1 болно.  
 $A3 = 1$  бөгөөд  $A4 = 0$  үед тоолуур үргэлжлүүлэн тоолно.  
 $A3 = 1$  бөгөөд  $A4 = 1$  үед F flip-flop-ийн утга 1 болох ба дараагийн clock pulse-д систем зогсоно.  
Дээрх үйлдлийн дагуу ажилладаг тоон системийг хийж гүйцэтгэ.
76. Доорх хэлхээний шилжилтийн хүснэгтийг гарга. Анхны төлөв 000.

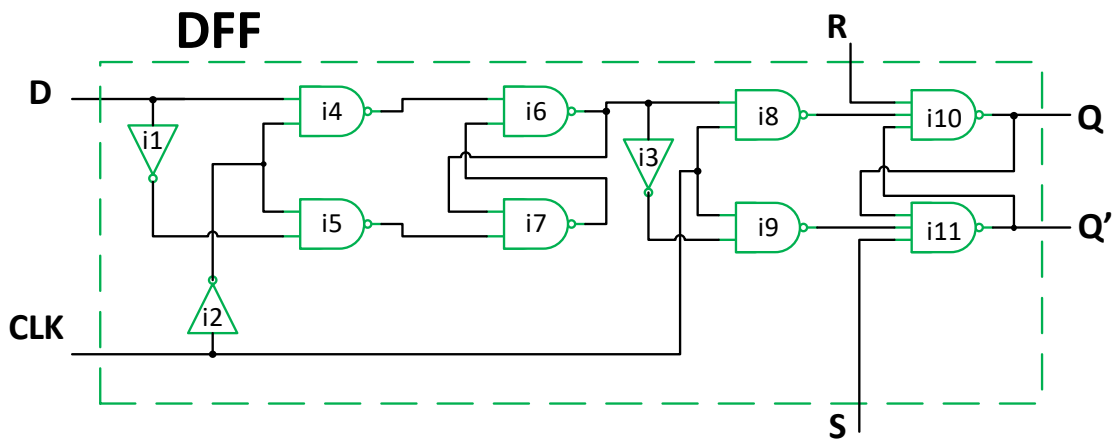


77. Дараах даалгавруудыг хийж гүйцэтгэ.
- Х оролтыг тохируулах болон барих хугацааг тооцоол. (Setup and hold time)
  - Оролтын клок L гаралт руу гарах хүртэл хугацааны хоцрогдлыг ол. (delay)

- c) Регистрээс регистр хүртэлх хугацааны хоцрогдолд тулгуурлан клокийн цикл хугацааг тооцоол. (clock cycle time)

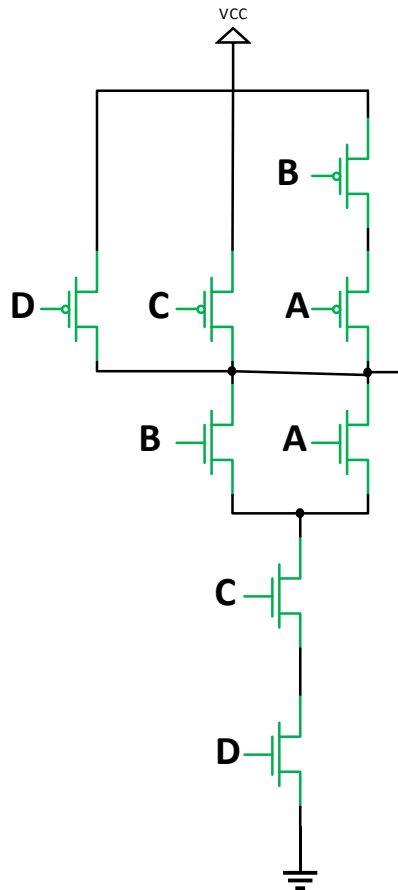


78.  $Y = \sum(1,2,6,7)$  функц ашиглан CMOS хэлхээг загварчил.
79. Зурагт DFF харуулав. Хүснэгтэд өгөгдсөн хугацааны утгыг ашиглан i6-ийн гаралтаас утга авч Q болон Q' руу гаргахын тулд CLK дохио хэр хугацаанд өндөр түвшинтэй байх шаардлагатай вэ? Зурагт харуулснаар хүснэгтэд өгөгдсөн хугацааны утгыг дахин ашиглаж, D эсвэл (notD) утга нь i6 болон i7 гаралтууд дээр алдаагүй гаргахын тулд CLK өсөх фронтоосоо өмнө хэдий хугацаанд тогтвортой байх шаардлагатай вэ?

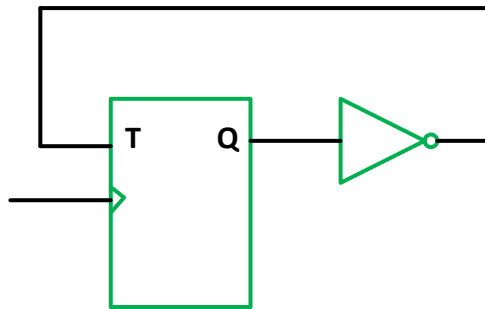


(ps)	INV	NAND2	NAND3
$T_{FALL}(ps)$	200	500	600
$T_{RISE}(ps)$	300	500	650
$\tau_{phl}(ps)$	100	250	300
$\tau_{pth}(ps)$	150	250	325

80.  $P(A=1)=0.5$ ,  $P(B=1)=0.2$ ,  $P(C=1)=0.3$   $P(D=1)=0.8$  бол, логик гайт шилжилтийн динамик чадлыг тодорхойл.  $VDD=2.5V$ ,  $C_{out}=30f$ ,  $f_{clk}=250MHz$



81. Давтамж хуваагчийн хэлхээг үзүүлэв.  $t_{su} = 20ps$ ,  $t_{hd} = -15ps$ ,  $t_{c2q} = 100ps$ ,  $t_{pinv} = 30ps$  бол клок пульсийн хамгийн бага хугацааг тодорхойл.

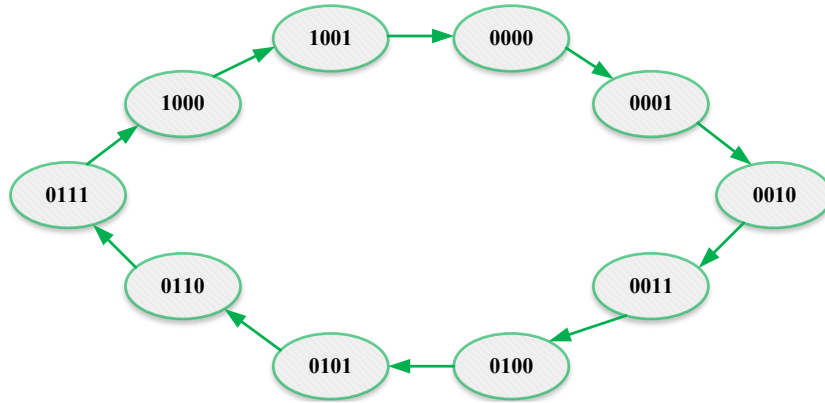


82.  $F = ABC\bar{D} + A\bar{B}CD$  илэрхийлэл өгөгдсөн бол F болон  $\bar{F}$  илэрхийллийг хамгийн бага(16) транзистор ашиглан гүйцэтгэ.

83.  $X = ((\bar{A} + \bar{B})(\bar{C} + \bar{D} + \bar{E}) + \bar{F})\bar{G}$  тэгшитгэлийг CMOS ашиглан хэрэгжүүл. Гаралтын эсэргүүцэл нь NMOS  $W/L = 2$  ба PMOS  $W/L = 6$ -тай инвертерийн эсэргүүцэлтэй ижил байхаар төхөөрөмжүүдийн хэмжээг тохируулна уу.

84. Логик хувьсагчийг түлхүүрээр илэрхийлснийг логик илэрхийлэл болгон бич.

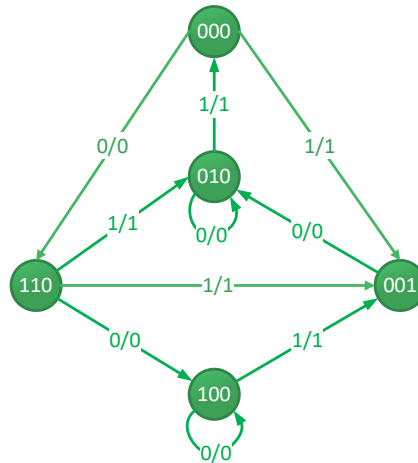
85. Decade ripple counter-ын логик дизайныг зохио. Жич JK флип флоп ашигла.



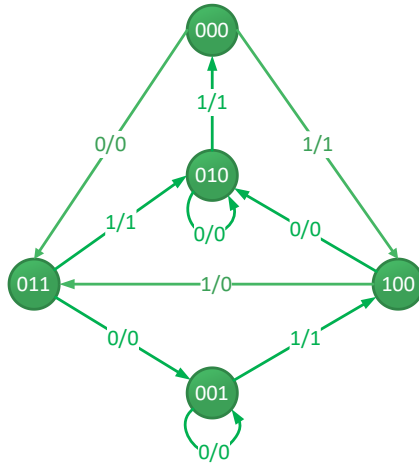
86. Дараах Булийн илэрхийллийг 8:1 MUX ашиглан хэрэгжүүл.  $F(A,B,C,D) = \sum_m(1,3,5,10,11,12,14) + D(0,2)$  D-DON'T CARE
87. Төлвийн хүснэгтээ ашиглан төлвийн машин байгуул. Мөн хүснэгтээ Т флип флоп ашиглан хэрэгжүүл.

Өмнөх		Дараах		Дараах		Гаралт	
				X=0	X=1		
Q <sub>a</sub>	Q <sub>b</sub>	Q <sub>a</sub>	Q <sub>b</sub>	Q <sub>a</sub>	Q <sub>b</sub>	X=0	X=1
0	0	0	0	0	1	0	0
0	1	1	1	0	1	0	0
1	0	1	0	0	0	1	1
1	1	1	0	1	1	0	0

88. Т флип флоп ашиглан төлөвийн машины логик дизайн зохио.



89.  $(A + B\bar{C})(A + C\bar{D})(\bar{A} + \bar{B}C)(\bar{A} + \bar{C}D)$  илэрхийллийг хялбарчил.
90. 3-н битийн The carry look-ahead adder – н дизайныг зохио, мөн MSB carry<sub>out</sub> – н гаргалгааг гарга.
91. 2 битийн Binary Comparator-ын схем дизайн зохио.
92. Дараах төлөвийн диаграммын дагуу ажиллах хэлхээг D флип флопоор дүрсэлж зур.



93. А ба В гэж нэрлэгдсэн 2 ширхэг D флип флопоос тогтох цуваа хэлхээ нь х ба у оролттой, z гаралттай. Дараагийн төлөв ба гаралт нь дараах тэгшитгэлүүдээр тодорхойлогдсон.

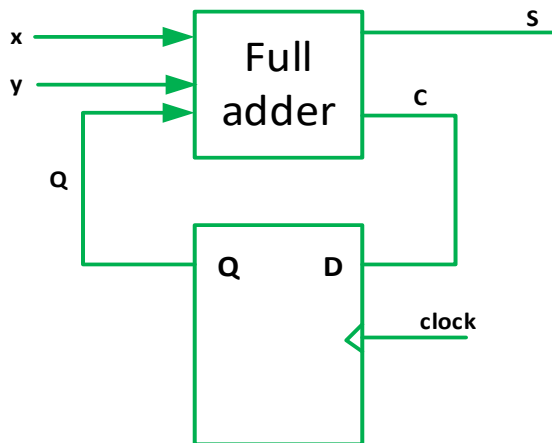
$$A(t + 1) = x\bar{y} + xB$$

$$B(t + 1) = xA + x\bar{B}$$

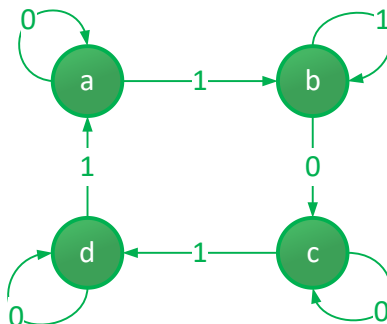
$$z = A$$

- a) Хэлхээний логик диаграммыг зур.
- b) Төлөвийн хүснэгтийг бич.
- c) Төлөвийн диаграммыг зур.

94. Q флип флопоос тогтох цуваа хэлхээ нь х ба у оролттой, S гаралттай. Бүтэн нэмэгчийн хэлхээ D флип флопд холбогдсон байна. Хэлхээний төлөвийн хүснэгт ба диаграммыг байгуул.

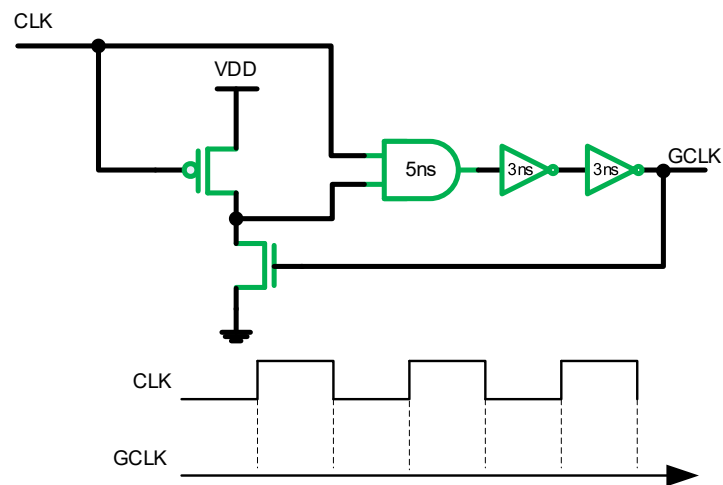


95. JK флип флоп ашиглан төлөвийн диаграммын дагуу ажиллах хэлхээг зурна уу.





103. Доорх хэлхээнд харуулсан логик гейт нь AND 5ns, NOT 3ns хоцролттой байг. Транзисторуудын шилжилтийн хурдыг тооцохгүй гэж үзнэ. CLK оролтод зурагт харуулсан дохиог өгч байгаа бол GCLK гаралтын дохиог хугацааны диаграмм дээр гүйцээж зурна уу.



104. W оролтод 1101 цуваа орж ирэхэд Z гаралтад нэг клоын дараа 1 гаргадаг синхрон төхөөрөмжийн төлөвийн диаграммыг зохиож, схемийг гарга.

W	0	1	1	0	1	1	0	1	0	0	1	1	1	0	1	0	1	0
Z	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0

105. MOSFET хэлхээний Булийн илэрхийллийг тодорхойлж бичнэ үү.

